

**Japanese-English  
Technology  
Services**

Dr. Warren Smith

27 Sandy Brook Dr.  
Durham, NH 03824  
1.603.674.2227  
[Warren.Smith@Comcast.net](mailto:Warren.Smith@Comcast.net)

---

*Serving the Global Technical and Legal Communities Since 1984*

---

7/13/2006

**CERTIFICATION OF TRANSLATION**

I, Dr. Warren Smith of JETS: Japanese-English Technology Services, 27 Sandy Brook Drive, Durham, NH 03824 hereby declare and certify:

I am well acquainted with and knowledgeable regarding both the Japanese and English languages;

I am the translator of the attached English translation of Japanese Unexamined Patent Application Publication S62-6493, attached to this certification and e-mailed on 7/13/2006 to Attorney Joseph Baldwin ([joseph.baldwin@wilmerhale.com](mailto:joseph.baldwin@wilmerhale.com)).

To the best of my knowledge and belief, the attached English translation is a true, correct, accurate and complete translation.

I further declare and certify that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001.

Pursuant to 28 U.S.C. § 1746, I declare and certify under penalty of perjury that the foregoing is true and correct.

Date: 7/13/2006

A handwritten signature in black ink, appearing to read "Warren Smith".

Dr. Warren W. Smith  
JETS: Japanese-English Technology Services  
Durham, NH 03824  
[Warren.Smith@comcast.net](mailto:Warren.Smith@comcast.net)  
603-674-2227

(19) Japan Patent Office (JP)

(11) Japanese Unexamined Patent  
Application Publication Number

**(12) Japanese Unexamined Patent  
Application Publication (A)**

**H62-6493**

(51) Int. Cl.<sup>4</sup>  
G 11 C 17/00

Identification codes  
101

JPO file numbers  
6549-5B

(43) Publication date: 13 Jan 1987

Request for examination: Not yet requested Number of inventions: 1 (Total of 4 pages)

(54) Title of the invention	WRITABLE/ERASABLE SEMICONDUCTOR MEMORY DEVICE	
	(21) Japanese Patent Application	H60-143017
	(22) Date of Application	29 Jun 1985
(72) Inventor	KAMINO, Satoshi	• RICOH KK 1-3-6 Nakagome, Oita-ku, Tokyo
(71) Applicant	RICOH KK	1-3-6 Nakagome, Oita-ku, Tokyo
(74) Agent	Patent attorney NOGUCHI, Shigeo	

**SPECIFICATION**

**1. Title of the Invention**

Writable/Erasable Semiconductor Memory Device

**2. Scope of Patent Claims**

(1) A semiconductor memory device comprising writeable/erasable memory transistors, wherein:

a write circuit is provided with a circuit for selecting one writing voltage level from a plurality of writing voltage levels that correspond to a plurality of data, and applying [said selected one writing voltage] to a memory transistor; and wherein

a read circuit is provided with a comparator circuit that compares an output from a memory transistor to a plurality of reference levels, and provided with a circuit for determining data recorded in the memory transistor based on an output from the comparator circuit, so that multiple bits of data are stored in a single memory transistor.

(2) A writeable/erasable semiconductor memory device as set forth in Claim 1, wherein said reference levels are stored at the same time as the data storage in memory transistors of the same type as the memory transistors for data storage.

**3. Detailed Explanation of the Invention**

(Field of Technology)

The present invention relates to writable/erasable semiconductor memory devices that use EPROMs or EEPROMs as memory transistors.

(Prior Art)

When EPROMs or EEPROMs are used as memory transistors, normally a single bit of data is stored in a single memory transistor. Because of this, there is a problem that memory chips become large when attempts are made to create semiconductor memory with a large capacity.

On the other hand, in the field of masked ROMs, there are those wherein the threshold values for the memory transistors are controlled to a plurality of levels so as to store multiple bits of data in a single memory transistor. However, the mechanism for writing in EPROMs and EEPROMs, and the like, is completely different, and the threshold values in EPROMs and EEPROMs have not been controlled to multiple levels.

(Object)

The object of the present invention is to provide a memory device that uses EPROMs or EEPROMs as memory transistors, wherein the degree of integration in the memory device is improved through storing multiple bits worth of data in a single memory transistor.

(Constitution)

The semiconductor memory device according to the present invention is provided with a memory transistor that can be written to and erased, wherein the write circuit thereof is provided with a circuit that selects, and applies to a memory transistor, one writing voltage level from among a plurality of different writing voltage levels, corresponding to a plurality of data, and wherein the readout circuit is provided with a comparator circuit for comparing the output from the memory transistor to a plurality of reference levels, and provided with a circuit for determining, based on the output of the comparator, the recorded data in the memory transistor, where multiple bits worth of data are stored in a single memory transistor.

For the EPROM, a FAMOS-type device, or example, may be used, or for an EEPROM, a FAMOS-type or MNOS-type device, for example, may be used.

The write characteristics of the EPROM or EEPROM are dependent on the writing voltage when writing (the control gate voltage and the drain voltage). Given this, changing the writing voltage makes it possible to record a plurality of bit data in a single memory transistor.

An example of embodiment will be explained in detail below.

As one example, the case wherein two bits worth of data are written to a single memory transistor will be explained.

The threshold value  $V_{th}$  after writing to an EPROM or EEPROM varies as shown in Fig. 1 with the control gate voltage  $V_{cg}$ , that is the writing voltage. That is, the higher the voltage for the control gate voltage  $V_{cg}$ , the higher the voltage level of the threshold value  $V_{th}$  after writing.

Fig. 2 illustrates the writing circuit part in an example of embodiment.

2 is a memory transistor, where [such memory transistors] are arranged in the form of a array, and can be selected, when reading or writing, by an X and a Y decoder (not shown). 4 is a control gate voltage selecting circuit for selecting one of four different voltage levels:  $V_{cg1}$ ,  $V_{cg2}$ ,  $V_{cg3}$ , or  $V_{cg4}$ . 6 is a decoder into which two bits of data D1 and D2 are inputted, where one of the voltage levels is selected by the control gate voltage selecting circuit 4 by the output signal of this decoder 6 and applied as the control gate voltage of the memory transistor 2. The control gate voltage selecting circuit 4 and the decoder 6 together form a circuit that is capable of selecting, and applying to a memory transistor, one writing voltage from multiple writing voltages, corresponding to multiple data.

Control gate voltages are selected as shown in the table below, for example, for the two bits of digital data D1 and D2:

Data		Control Gate Voltage
D1	D2	
0	0	$V_{cg1}$
0	1	$V_{cg2}$
1	0	$V_{cg3}$
1	1	$V_{cg4}$

When it comes to the reading out of data that is stored in this way, it is possible to readout using the same readout circuit as in the case wherein multibit data is stored in a single memory transistor in a masked ROM. That is, for the threshold values  $V_{th1}$ ,  $V_{th2}$ ,  $V_{th3}$  and  $V_{th4}$  [for multibit data] recorded using the four different control gate voltages  $V_{cg1}$ ,  $V_{cg2}$ ,  $V_{cg3}$  and  $V_{cg4}$ , the respective intermediate values  $V_{r1}$ ,  $V_{r2}$ , and  $V_{r3}$  are established as reference threshold voltages, and the memory threshold values for the memory transistors can be readout by comparisons thereto. (See Fig. 3.)

In the case of EPROMs or EEPROMs, the write level will change somewhat, albeit little, over time due to the storage characteristics of the write data, which is not the case for masked ROMs. Given this, the circuit shown in Fig. 4 is used as the readout circuit.

In Fig. 4, 8-1, 8-2, and 8-3 are reference transistors for storing the reference voltages Vr1, Vr2, and Vr3, and use the same type of EPROMs or EEPROMs as the memory transistor 2. The same readout voltages are applied to the reference transistors 8-1, 8-2, and 8-3 as to the selected memory transistor 2.

10-1, 10-2, and 10-3 are comparator circuits. The comparator circuit 10-1 inputs the output current of the memory transistor 2 and the output current of the reference transistor 8-1, comparator circuit 10-2 inputs the output current of the memory transistor 2 and the output current of the reference transistor 8-2, and the comparator circuit 10-3 inputs the output current of the memory transistor 2 and the output current of the reference transistor 8-3, and each [comparator circuit] convert to voltages.

12 is an encoder that inputs the output signals of the comparators 10-1, 10-2, and 10-3, and outputs the 2-bit digital data D1 and D2. The encoder 12 corresponds to the circuit for determining the recorded data of the memory transistor.

In storing the reference threshold value voltages Vr1, Vr2, and Vr3 in the reference transistors 8-1, 8-2, and 8-3, these voltages Vr1, Vr2, and Vr3 are set in advance using wafer processes or circuits, and the threshold voltages of the reference transistors 8-1, 8-2, and 8-3 are written to the same levels as the respective Vr1, Vr2, and Vr3. The writing of these reference threshold value voltages is performed at the same time as the writing of the data to the memory transistors 2.

Given the present example of embodiment, the reference threshold value voltages Vr1, Vr2, and Vr3 are recorded in the reference transistors 8-1, 8-2, and 8-3, wherein changes over time will occur along with [those changes] in the memory transistors 2, thus making it possible to absorb the changes over time when reading out, making it possible to readout with stability.

While in the example of embodiment, a decoder 6 was used in the write circuit, a multiplexer may be used instead of a decoder.

(Effects)

The present invention makes it possible to record multibit data in a single memory transistor such as an EPROM or an EEPROM, thus making it possible to increase the density of the memory device and thus possible to increase the memory capacity of a chip of a given size.

#### 4. Simple Explanation of Drawings

Fig. 1 is a diagram illustrating the relationship between the EPROM or EEPROM write control gate voltage and the threshold value after writing; Fig. 2 is a block diagram illustrating the write circuit block in a first example of embodiment; Fig. 3 is a figure illustrating the relationship between the threshold value after writing and the reference threshold value voltage; and Fig. 4 is a block diagram illustrating the readout circuit block in an example of embodiment.

- 2: Memory transistor
- 4: Control gate voltage selecting circuit
- 6: Decoder
- 8-1, 8-2, 8-3: Reference transistors
- 10-1, 10-2, 10-3: Comparator circuits
- 12: Encoder

Agent: Patent Attorney NOGUCHI, Shigeo

Fig. 1  
[VERTICAL AXIS]: Threshold value after writing  
[HORIZONTAL AXIS]: Control gate voltage

Fig. 2  
6: Decoder  
4: Control gate voltage selecting circuit  
2: Memory transistor

Fig. 3

Fig. 4  
8-1: Reference transistor  
2: Memory transistor  
12: Encoder

② 日本国特許庁 (JP)      ③ 特許出願公開  
**④ 公開特許公報 (A) 昭62-6493**

⑤ Int.Cl.  
G 11 C 17/00

識別記号  
101

序内整理番号  
0549-5B

⑥ 公開 昭和62年(1987)1月13日

審査請求 未請求 発明の数 1 (全4頁)

⑦ 発明の名称 寄込みと消去が可能な半導体メモリ装置

⑧ 特願 昭60-143017  
⑨ 出願 昭60(1985)6月29日

⑩ 発明者 神 益 肇 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑪ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号  
 ⑫ 代理人 弁理士 野口 雅雄

明細書

1. 発明の名稱

寄込みと消去が可能な半導体メモリ装置

シジスタと同様のメモリトランジスタに情報記憶と同時に記憶されたものである特許技術の範囲並に前記の寄込みと消去が可能な半導体メモリ装置。

2. 特許請求の範囲

(1) 寄込みと消去が可能なメモリトランジスタを備えた半導体メモリ装置において、

寄込み基板には複数の情報に対応して複数種類の寄込み基板レベルから1個の寄込み基板レベルを選択してメモリトランジスタに印加する回路を備え、

該当し基板にはメモリトランジスタからの出力を複数の基板レベルと比較する比較回路及びその比較回路の出力を基にしてメモリトランジスタの記憶情報を判定する回路を備えることにより、1メモリトランジスタに複数ビット分の構造を記憶させることを解説とする寄込みと消去が可能な半導体メモリ装置。

(2) 前記基板レベルは格納記憶用のメモリトラ

3. 発明の詳細な説明

【技術分野】

本発明はEEPROMやEEPROMをメモリトランジスタとする寄込みと消去が可能な半導体メモリ装置に関するものである。

【解決技術】

EEPROMやEEPROMをメモリトランジスタとする場合、通常は1個のメモリトランジスタに対して1ビットの情報記憶させている。そのため、大容量の半導体メモリ装置を形成しようとするとメモリチップが大きくなる問題がある。

一方、マスクROMの分野においては、イオン注入法によりメモリトランジスタのしきい値を抵抗レベルに制御し、1箇のメモリトランジスタに

## 特開昭62-6493 (2)

複数ビット分の情報を記憶させようとしたものが知られている。しかし、EEPROMやEEPROMの書き込みのメカニズムはマスクROMの場合とは全く異なり、EEPROMやEEPROMの書き込み情報を複数レベルに制御することは行なわれていな。

## 【目的】

本発明はEEPROMやEEPROMをメモリランジスタとするメモリ装置において、1箇のメモリランジスタに複数ビット分の情報を記憶させることによりメモリ装置の操作部を向上させることを目的とするものである。

## 【構成】

本発明の半導体メモリ装置は、書き込みと消去が可能なメモリランジスタを備え、その書き込み回路には複数の情報に応じて複数種類の書き込み電圧レベルから1箇の書き込み電圧レベルを選択してメモリランジスタに印加する回路を備え、その

読み出し回路にはメモリランジスタからの出力を複数の基準レベルと比較する比較回路及びその比較回路の出力を基にしてメモリランジスタの記憶情報を判定する回路を備えることにより、しメモリランジスタに複数ビット分の情報を記憶させるようにしたものである。

EEPROMとして挙げればPAMOS型のものを使用することができます。EEPROMとしては挙げればPAMOS型やPMNOS型のものを使用することができる。

EEPROMやEEPROMの書き込み時は書き込み時の書き込み電圧（コントロールゲート電圧やドレイン電圧）に依存する。そこで、書き込み電圧を選択させ、しメモリランジスタに複数ビット分の情報を記憶させることができます。

以下、実施例について具体的に説明する。

一例として1箇のメモリランジスタに2ビット分の情報を書き込む場合について説明する。

EEPROMやEEPROMの書き込み後のしきい値Vthは、書き込み電圧であるコントロールゲート電圧Vcgによって第1回に示されるように変化する。すなわち、コントロールゲート電圧Vcgを高電圧にするほど書き込み後のしきい値Vthも高電圧レベルになる。

第2図は一次実例における書き込み回路部分を示すものである。

2はメモリランジスタであり、マトリクス状に配置されており、書き込み及び読み出し時にはX、Yデコーダ（図示略）により選択されるようになっている。4は4種類の駆動レベルVcg1、Vcg2、Vcg3、Vcg4のうちの一を選択するコントロールゲート電圧選択回路。6は2ビットの情報D1、D2が入力されるデコーダであり、デコーダ6の出力信号によりコントロールゲート電圧選択回路4から1箇の電圧レベルが選択されてメモリランジスタ2のコントロールゲート電圧として印加される。コントロールゲート電圧選択回路4とデコーダ6により選択の情報に対応して

複数種類の書き込み電圧レベルから1箇の書き込み電圧レベルを選択してメモリランジスタに印加する回路を構成する。

2ビットのデジタル情報D1、D2に対して、例えば下記のようにコントロールゲート電圧が選択されるものとする。

情報		コントロールゲート電圧
D1	D2	
0	0	Vcg1
0	1	Vcg2
1	0	Vcg3
1	1	Vcg4

このようにして記憶された情報の読み出しは、マスクROMにおいて1箇のメモリランジスタに複数ビット分の情報を記憶させた場合と同様の読み出し回路により読み出すことができる。すなわち、各種類のコントロールゲート電圧Vcg1、Vcg2、Vcg3、Vcg4により印加された4種類のしきい

## 特開昭62-6493 (3)

道  $V_{DD1}$ ,  $V_{DD2}$ ,  $V_{DD3}$ ,  $V_{DD4}$  に対し、それぞれの中間電圧  $V_{SS1}$ ,  $V_{SS2}$ ,  $V_{SS3}$  を基準しきい道電圧として設定し、比較することによりメモリトランジスタの記憶しきい値を読み分けることができる（第3回参照）。

EPRONやEEPROMの場合、マスクROMと異なり、何かではあるが基準と情報の保持特性として書き込みレベルの絶対変化がある。そこで、読み出し回路として第4回の回路を使用する。

第4回において、8-1, 8-2, 8-3は基準しきい道電圧  $V_{RI}$ ,  $V_{RC}$ ,  $V_{RD}$  を記憶する基準トランジスタであり、メモリトランジスタ2と同種のEPRONやEEPROMを使用する。選択されたメモリトランジスタ2と基準トランジスタ8-1, 8-2, 8-3には共通の読み出し電圧が印加される。

10-1, 10-2, 10-3は比較回路であり、比較回路10-1はメモリトランジスタ2の出力電圧と基準トランジスタ8-1の出力電圧とを入力し、比較回路10-2はメモリトランジ

ス2の出力電圧と基準トランジスタ8-2の出力電圧とを入力し、比較回路10-3はメモリトランジスタ2の出力電圧と基準トランジスタ8-3の出力電圧とを入力し、それぞれ電圧に変換して比較する。

12は比較回路10-1, 10-2, 10-3の出力信号を入力し、2ビットのデジタル情報D1, D2を出力するエンコーダである。エンコーダ12はメモリトランジスタの記憶情報を検定する回路に接続している。

基準トランジスタ8-1, 8-2, 8-3に基準しきい道電圧  $V_{RI}$ ,  $V_{RC}$ ,  $V_{RD}$  を記憶するには、電圧  $V_{RI}$ ,  $V_{RC}$ ,  $V_{RD}$  をウェハプロセス中に、又は回路により予め固定しておく。基準トランジスタ8-1, 8-2, 8-3のしきい値がそれぞれそれらの電圧  $V_{RI}$ ,  $V_{RC}$ ,  $V_{RD}$  と同一レベルになるまで書き込む。基準しきい道電圧の書き込みはメモリトランジスタ2に情報を書き込むときに同時に行なう。

本実施例によれば、メモリトランジスタ2ヒトもに絶対変化を起こす基準トランジスタ8-1, 8-2, 8-3に基準しきい道電圧  $V_{RI}$ ,  $V_{RC}$ ,  $V_{RD}$  を記憶させているので、読み出し時の絶対変化分を吸収することができます。安定な読みしを行なうことができる。

実施例では書き込み回路でデニーガルを使用しているが、デニーガルに代えてマルチプレクサを使用することもできる。

## （結果）

本発明によれば、1個のEPRONやEEPROMのメモリトランジスタに複数ビット分の情報を記憶させることができるので、メモリ資訊の密度が高上し、同一サイズのチップのメモリ容量を増大させることができる。

## 4. 図面の資料を説明

第1図はEPRONやEEPROMの書き込みコ

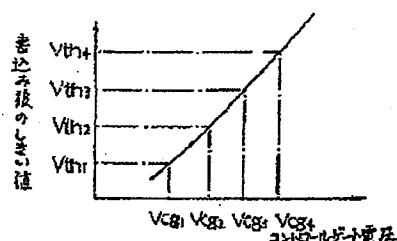
ントロールゲート端子と書き込み後のしきい値との関係を示す図。第2図は一実施例における書き込み回路部を示すブロック図。第3図は書き込み後のしきい値と書き込み前のしきい値との関係を示す図。第4図は一実施例における読み出し回路部を示すブロック図である。

2……メモリトランジスタ。  
4……コントロールゲート電圧選択回路。  
6……デコード。  
8-1, 8-2, 8-3……基準トランジスタ；  
10-1, 10-2, 10-3……比較回路、  
12……エンコーダ。

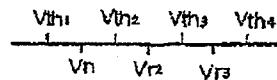
代入 井嶋士 井口英輔

特開昭62-6493 (4)

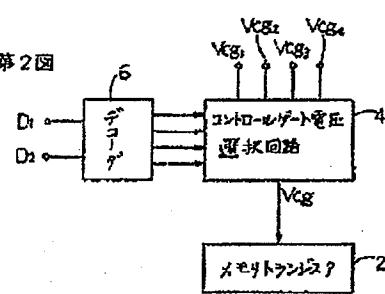
第1図



第3図



第2図



第4図

